

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2003-046878

(43) Date of publication of application : 14. 02. 2003

(51) Int. Cl.

H04N 5/335
H01L 27/148

(21) Application number : 2001-230424 (71) Applicant : SONY CORP

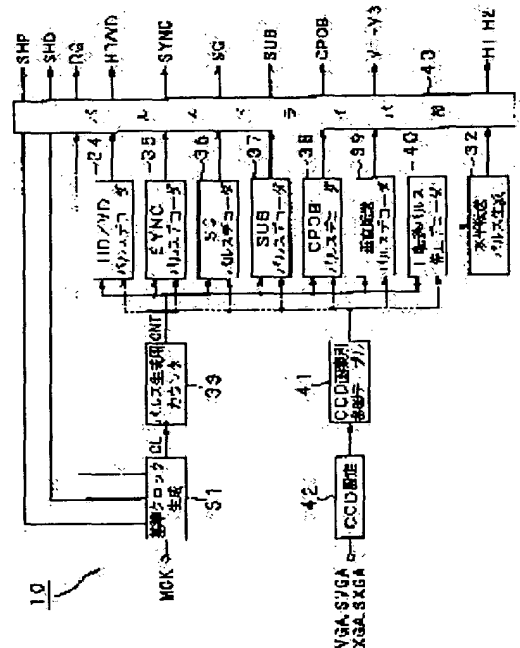
(22) Date of filing : 30. 07. 2001 (72) Inventor : YOSHIHARA RYUICHI

(54) TIMING SIGNAL GENERATOR

(57) Abstract:

PROBLEM TO BE SOLVED: To enable supply of various kinds of signals to plural kinds of CCDs different in number of picture elements, and facilitate coping with each kind of CCD.

SOLUTION: This timing generator 10 provided with an SG pulse decoder 36 for producing a charge reading pulse SG; a vertical transfer pulse decoder 39 for producing vertical transfer pulses V1-V3; a horizontal transfer pulse producing part 32 for producing horizontal transfer pulses H1, H2, a CPOB pulse decoder 38 for producing a clamp pulse CPOB, a counter 33 for counting basic clocks CL, and a setting table 41 which stores counting values showing the timing of a starting edge and an ending edge of each of the pluses for every picture element size of the CCD. A setting value in the setting table 41 is subjected to switching and setting, corresponding to the kind of the CCD to which the generator 10 is applied. Setting values showing the timing of the starting edge and the ending edge of the clamp pulse CPOB, and the starting edge of the charge reading pulse SG are common irrespectively of the kind of CCD.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration][Date of final disposal for
application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-46878

(P2003-46878A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl.

識別記号

F I

7-73-7 (参考)

H 0 4 N 5/335

H 0 4 N 5/335

Z 4 M 1 1 8

H 0 1 L 27/148

H 0 1 L 27/14

F 5 C 0 2 4

B

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号

特願2001-230424 (P2001-230424)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日

平成13年7月30日 (2001.7.30)

(72) 発明者 吉原 龍一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

Fターム(参考) 4M118 AA04 AA10 AB01 BA13 CA02

DB20 FA06

5C024 CY01 HX02 HX09 HX12 HX13

HX15 HX32 HX33 HX37 HX39

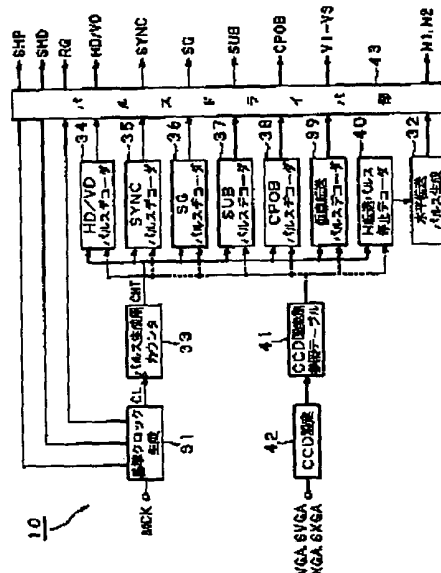
HX50 HX51 HX56

(54) [発明の名称] タイミング信号発生装置

(57) [要約]

【課題】 画素数の異なる複数種類のCCDに対して各種タイミング信号を供給することができ、また、各種類のCCDへの対応を容易にする。

【解決手段】 タイミング発生器10は、電荷読み出しパルスSGを生成するSGパルスデコーダ36と、垂直転送パルスV1~V3を生成する垂直転送パルスデコーダ39と、水平転送パルスH1、H2を生成する水平転送パルス生成部32と、クランプパルスCPOBを生成するCPOBパルスデコーダ38と、基本クロックCLをカウントするカウンタ33と、上記各パルスの開始エッジ及び終了エッジのタイミングを示すカウント値をCCDの画素サイズ毎に格納している設定テーブル41とを備える。設定テーブル41内の設定値は、本発生器10が適用されるCCDの種類に応じて切り換え設定がされる。また、クランプパルスCPOBの開始エッジ及び終了エッジ並びに電荷読み出しパルスSGの開始エッジのタイミングを示す設定値は、CCDの種類に関わらず共通値とされている。



【特許請求の範囲】

【請求項1】 水平垂直方向に二次元配列され、入力光を電荷に変換する複数のフォトセンサと、
上記フォトセンサの垂直方向の配列数に対応した数の内部レジスタからなり、各上記内部レジスタに対して対応するフォトセンサから電荷が転送され、その電荷を垂直方向に1画素ずつ順次転送する、上記フォトセンサの水平方向の配列数に対応した数の垂直電荷転送部と、

上記フォトセンサの水平方向の配列数に対応した数の内部レジスタからなり、対応する位置の上記垂直電荷転送部の垂直方向の終端部分の内部レジスタの電荷が各上記内部レジスタに対して転送され、その電荷を水平方向に1画素ずつ順次転送する水平電荷転送部とを備えた固体撮像素子に対するタイミング信号、並びに、この固体撮像素子から読み出された画像信号の信号処理装置に対するタイミング信号を発生するタイミング信号発生装置において、

上記フォトセンサの電荷を上記垂直電荷転送部の各内部レジスタに転送するための駆動信号である電荷読み出しパルスを生成する電荷読み出しパルス生成部と、

上記垂直電荷転送部の各内部レジスタの電荷を垂直方向に1画素ずつ転送するとともに、上記垂直電荷転送部の終端部分の内部レジスタの電荷を上記水平電荷転送部の内部レジスタに転送するための駆動信号である垂直転送パルスを生成する垂直転送パルス生成部と、

上記水平電荷転送部の各内部レジスタの電荷を水平方向に1画素ずつ転送するための駆動信号である水平転送パルスを生成する水平転送パルス生成部と、

入力光が遮断された状態のフォトセンサの画素の位置を示すタイミングであって固体撮像素子から出力された画像信号に対するクランプ処理の基準画素の位置となるタイミングを示すクランプパルスを生成するクランプパルス生成部と、

上記固体撮像素子の水平電荷転送部の終端部分の内部レジスタから1画素毎で電荷量を読み出す際における読み出し速度に応じて設定された基本クロックが入力され、この基本クロックをカウントするカウンタと、

上記電荷読み出しパルスの開始エッジ及び終了エッジのタイミングを示す上記カウンタのカウント値、上記垂直転送パルスの開始エッジ及び終了エッジのタイミングを示す上記カウンタのカウント値、上記水平転送パルスの発生開始位置及び発生終了位置のタイミングを示す上記カウンタのカウント値、上記クランプパルスの開始エッジ及び終了エッジのタイミングを示すカウンタのカウント値が、当該装置の制御対象となる固体撮像素子の種類毎に設定された設定テーブルとを備え、

上記垂直転送パルス発生部、上記電荷読み出しパルス生成部及び上記クランプパルス生成部は、制御対象となる固体撮像素子の種類に応じて上記カウント値を切り換え設定し、設定された上記カウント値を参照して各パルス

の開始エッジ及び終了エッジを制御し、

上記水平転送パルス生成部は、上記基本クロックに同期した周波数のパルスを発生するとともに、制御対象となる固体撮像素子の種類に応じて上記カウント値を切り換え設定し、設定された上記カウント値を参照してパルスの発生開始位置及び終了位置を制御することとを特徴とするタイミング信号発生装置。

【請求項2】 上記設定テーブルには、上記クランプパルスの開始エッジ及び終了エッジのタイミングを示すカウント値、並びに、上記電荷読み出しパルスの開始エッジのタイミングを示すカウント値が、固体撮像素子の種類に関わらず、同一として設定されていることを特徴とする請求項1記載のタイミング信号発生装置。

【請求項3】 上記クランプパルスの開始エッジ及び終了エッジのタイミングを示すカウント値は、本タイミング信号発生装置からタイミングを制御される全種類の固体撮像素子に対して共通に設定され、その設定位置が水平ライン中の入力光が遮断されたフォトセンサの位置の共通範囲とされており、

上記電荷読み出しパルスの開始エッジを示すカウント値は、垂直同期信号から一定数の水平同期パルスが発生した後であって、その水平同期パルスから一定数後のカウント値とされていることを特徴とする請求項2記載のタイミング信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CCD (Charge Coupled Device) イメージセンサに必要なタイミング信号、並びに、CCD イメージセンサから出力された画像信号を処理する際に必要なタイミング信号を発生するタイミング信号発生装置に関するものである。

【0002】

【従来の技術】従来より、CCD イメージセンサ、このCCD イメージセンサから読み出された画像信号を処理する信号処理回路に対して、各種のタイミング信号を供給するタイミング信号発生装置が知られている。

【0003】このようなタイミング信号発生装置は、例えば、フォトレジスタから垂直転送レジスタへの電荷転送タイミングを示す電荷読み出しパルス、フォトレジスタ内の残存電荷を掃き捨てるタイミングを示す電荷掃き捨てパルス、垂直転送レジスタを駆動するタイミングを示す垂直転送パルス、水平転送レジスタを駆動するタイミングを示す水平転送パルス、相関二重サンプリングのためのサンプリングタイミングを示すサンプリングパルス、クランプ処理に用いられる黒レベルタイミングを示すクランプパルス、映像同期信号等の各種のタイミング信号を発生する。

【0004】

【発明が解決しようとする課題】ところで、CCD イメージセンサ等に必要とされるタイミング信号は、そのC

ＣＤイメージセンサの画素サイズ等によって、発生タイミングが異なる。例えば、画素サイズの規格として、例えば、VGA (Video Graphics Array)、SVGA (Super VGA)、XGA (extended Graphics Array)、SXGA (Super XGA) といったものがあるが、それぞれの規格によって必要とされるタイミングは異なる。

【0005】そのため、これまではＣＤイメージセンサの画素サイズ等毎に、それぞれタイミング信号発生装置を作成しなければならなかった。

【0006】本発明は、このような実情を鑑みてなされたものであり、画素数の異なる複数種類の固体撮像素子に対して各種タイミング信号を供給することができ、また、各種類の固体撮像素子への対応を容易に行うことができるタイミング信号発生装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明にかかるタイミング信号発生装置は、水平垂直方向に二次元配列され、入力光を電荷に変換する複数のフォトセンサと、上記フォトセンサの垂直方向の配列数に対応した数の内部レジスタからなり、各上記内部レジスタに対して対応するフォトセンサから電荷が転送され、その電荷を垂直方向に1画素ずつ順次転送する、上記フォトセンサの水平方向の配列数に対応した数の垂直電荷転送部と、上記フォトセンサの水平方向の配列数に対応した数の内部レジスタからなり、対応する位置の上記垂直電荷転送部の垂直方向の終端部分の内部レジスタの電荷が各上記内部レジスタに対して転送され、その電荷を水平方向に1画素ずつ順次転送する水平電荷転送部とを備えた固体撮像素子に対するタイミング信号、並びに、この固体撮像素子から読み出された画像信号の信号処理装置に対するタイミング信号を発生する。

【0008】さらに、本タイミング信号発生装置は、上記フォトセンサの電荷を上記垂直電荷転送部の各内部レジスタに転送するための駆動信号である電荷読み出しパルス生成する電荷読み出しパルス生成部と、上記垂直電荷転送部の各内部レジスタの電荷を垂直方向に1画素ずつ転送するとともに、上記垂直電荷転送部の終端部分の内部レジスタの電荷を上記水平電荷転送部の内部レジスタに転送するための駆動信号である垂直転送パルスを生成する垂直転送パルス生成部と、上記水平電荷転送部の各内部レジスタの電荷を水平方向に1画素ずつ転送するための駆動信号である水平転送パルスを生成する水平転送パルス生成部と、入力光が遮蔽された状態のフォトセンサの画素の位置を示すタイミングであって固体撮像素子から出力された画像信号に対するクランプ処理の基準画素の位置となるタイミングを示すクランプパルスを生成するクランプパルス生成部と、上記固体撮像素子の水平電荷転送部の終端部分の内部レジスタから1画素毎に電荷量を読み出す際における読み出し速度に応じて設

定された基本クロックが入力され、この基本クロックをカウントするカウンタと、上記電荷読み出しパルスの開始エッジ及び終了エッジのタイミングを示す上記カウンタのカウント値、上記垂直転送パルスの開始エッジ及び終了エッジのタイミングを示す上記カウンタのカウント値、上記水平転送パルスの発生開始位置及び発生終了位置のタイミングを示す上記カウンタのカウント値、上記クランプパルスの開始エッジ及び終了エッジのタイミングを示すカウンタのカウント値が、当該装置の制御対象となる固体撮像素子の種類毎に設定された設定テーブルとを備える。

【0009】上記タイミング信号発生装置の上記垂直転送パルス発生部、上記電荷読み出しパルス生成部及び上記クランプパルス生成部は、制御対象となる固体撮像素子の種類に応じて上記カウント値を切り換え設定し、設定された上記カウント値を参照して各パルスの開始エッジ及び終了エッジを制御し、上記水平転送パルス生成部は、上記基本クロックに同期した周波数のパルスを発生するとともに、制御対象となる固体撮像素子の種類に応じて上記カウント値を切り換え設定し、設定された上記カウント値を参照してパルスの発生開始位置及び終了位置を制御する。

【0010】上記タイミング信号発生装置では、基本クロックのカウント値に基づき各種タイミング信号が制御され、このカウント値が制御対象となる固体撮像素子毎に切り換え設定される。

【0011】また、本発明にかかるタイミング信号発生装置は、上記クランプパルスの開始エッジ及び終了エッジを示すカウント値、並びに、上記電荷読み出しパルスの開始エッジを示すカウント値が、固体撮像素子の種類に関わらず、同一として上記設定テーブルに設定されている。

【0012】

【発明の実施の形態】本発明の実施の形態として、ＣＤイメージセンサを用いたデジタルカメラ装置に適用されるタイミング信号発生器について説明をする。本実施の形態のタイミング発生装置は、ＣＤイメージセンサ並びにその後段の信号処理回路に必要な各種のタイミング信号を発生するものである。さらに、このタイミング信号発生器は、画素サイズの異なる複数種類のＣＤイメージセンサに対応が可能である。すなわち、画像信号の画素サイズの仕様が異なる複数種類のデジタルカメラ装置に対して、共通部品として用いることができる。ここでは、VGA (640×480ドット)、SVGA (800×600ドット)、XGA (1024×768ドット)、SXGA (1280×1024ドット) の4種類の画素サイズのＣＤイメージセンサに対応可能なタイミング信号発生器について説明をする。

【0013】まず、デジタルカメラ装置の全体構成について説明をする。図1に、ビデオカメラ装置1のブロッ

ク構成図を示す。

【0014】ビデオカメラ装置1は、撮像レンズ2と、CCD固体撮像素子（CCDイメージセンサ）3と、CDS（Correlated Double Sampling）回路4と、アナログ信号処理回路5と、アナログ／デジタル変換回路（A/Dコンバータ）6と、デジタル信号処理回路7と、タイミング信号発生器10とを備えている。

【0015】ビデオカメラ装置1によって撮影を行うと、被写体からの光が撮像レンズ2に入射される。撮像レンズ2からの光は、CCDイメージセンサ3に入射され、CCDイメージセンサ3はその光を電気信号に変換し出力する。CCDイメージセンサ3から出力された信号は、CDS回路4に供給される。CDS回路4は、入力信号に対して相関二重サンプリング処理を施し、アナログ映像信号を生成する。このアナログ映像信号は、アナログ信号処理回路5に供給される。アナログ信号処理回路5は、アナログ映像信号を所定のレベルに増幅し、クランプ処理、白／黒バランス調整、白／黒シェーディング補正、フレア補正などの各種アナログ信号処理を行う。アナログ信号処理回路5から出力されたアナログ映像信号は、A/Dコンバータ6に供給される。A/Dコンバータ6は、アナログの映像信号を所定のサンプリングレートでサンプリングして、デジタルの映像信号に変換する。A/Dコンバータ6から出力されたデジタル映像信号は、デジタル信号処理回路7に供給される。デジタル信号処理回路7は、例えば、γ処理、ガンマ補正処理、白／黒クリップ処理等のデジタル処理を行い、処理したデータを、例えば、デジタルビデオデータとして出力する。

【0016】タイミング信号発生器10は、CCDイメージセンサ3の駆動に必要な電荷読み出しパルスSG、電荷掃き捨てパルスSUB、垂直転送パルスV1～V3、水平転送パルスH1、H2、RG、CDS回路4の相関二重サンプリングタイミングを示す2つの相関二重サンプリングパルスSHP、SHD、撮影した画像信号の同期信号SYNC、垂直同期パルスVD、水平同期パルスHD、アナログ信号処理回路5でのクランプ処理用の黒レベル位置を示すクランプパルスCPOBを発生する。電荷読み出しパルスSG、電荷掃き捨てパルスSUB、垂直転送パルスV1～V3及び水平転送パルスH1、H2は、CCDイメージセンサ3に供給される。相関二重サンプリングパルスSHP、SHDは、SDS回路4に供給される。クランプパルスCPOBは、アナログ信号処理回路5内のクランプ回路に供給される。同期信号SYNC、水平同期パルスVD、水平同期パルスHDは、アナログ信号処理回路5及びデジタル信号処理回路7に供給される。

【0017】つぎに、CCDイメージセンサ3の回路構成例とその動作タイミングについて説明する。

【0018】CCDイメージセンサ3としては、例え

ば、いわゆるインタライントランスファ型のCCDイメージセンサが用いられる。図2に、インタライントランスファ型のCCDイメージセンサの一般的な回路構成例を示す。

【0019】インタライン型のCCDイメージセンサは、図2に示すように、 $m \times n$ 個のフォトセンサ11（ $11-(1,1) \sim 11-(m,n)$ ）と、 m 本の垂直転送レジスタ12（ $12-1 \sim 12-m$ ）と、水平転送レジスタ13と、出力ドライバ14と、リセットゲート15とを有している。

【0020】各フォトセンサ11（ $11-(1,1) \sim 11-(m,n)$ ）は、水平方向が m 個×垂直方向が n 個（ $m \times n$ ）のマトリクス状に2次元配列されて設けられている。フォトセンサ11により形成されたマトリクス状の領域には、レンズ2から撮像する画角内の入力光が照射される。各フォトセンサ11は、撮像領域の画角内における各画素位置での入力光を電荷量に変換する。すなわち、これらの各フォトセンサ11により、 $m \times n$ 画素から構成された1画面分の画像信号を生成することができる。なお、フォトセンサ11の配列の方式は、図2に示すような直交配列でもよいし、千鳥格子状に配列してもよい。また、水平、垂直方向のセンサ数は、CCDイメージセンサ自体の画素サイズの仕様により異なる。

【0021】各垂直転送レジスタ12（ $12-1 \sim 12-m$ ）は、少なくともフォトセンサ11の垂直方向の配列数（ n 個）の電荷蓄積及び転送用の内部レジスタから構成されている。これらの内部レジスタは、上記2次元配列における垂直方向に直列に配列されており、これらの内部レジスタが自己が蓄積している電荷を垂直方向に順番に次の内部レジスタへ転送していく。また、各垂直転送レジスタ12は、フォトセンサとフォトセンサとの水平方向の間に配置される。すなわち、垂直転送レジスタ12とフォトセンサ11とは、水平方向に交互に配置されることとなる。さらに、各垂直レジスタ12の各内部レジスタには、対応する隣接配置されたフォトセンサ11に蓄積されている電荷が、同時に転送される。従って、この m 本の垂直転送レジスタ12は、マトリクス状に配列されたフォトセンサ11に蓄積された1画面分の電荷を、垂直方向に並列に転送することとなる。なお、垂直転送レジスタ12の形成領域は、外部からの入射光は照射されないように遮光されている。

【0022】水平転送レジスタ13は、少なくともフォトセンサ11の水平方向の配列数（ m 個）の電荷蓄積及び転送用の内部レジスタから構成されている。これらの内部レジスタは、上記2次元配列における水平方向に直列に配列されており、自己が蓄積している電荷を垂直方向に順番に次の内部レジスタへ転送していく。また、水平転送レジスタ13の各内部レジスタには、各垂直転送レジスタ12の終端の内部レジスタに蓄積されている電

荷が、対応する位置の各内部レジスタに転送され、従って、水平転送レジスタ13は、マトリクス状に配列されたフォトセンサ11に蓄積された1画面分の電荷を、1水平ライン毎に、水平方向に転送することとなる。

【0023】出力ドライバ14は、水平転送レジスタ13の終端の内部レジスタに蓄積されている電荷量を電圧値に変換して外部に出力する。従って、この出力ドライバ14は、マトリクス状に配列されたフォトセンサ11に蓄積された1画面分の電荷量を、1画素ずつ順番に電圧値に変換して、外部に出力することとなる。

【0024】リセットゲート15は、水平転送レジスタ13の終端の内部レジスタへ、所定の電位（ここではVDD）を所定時間印可し、終端の内部レジスタに蓄積された電荷に一定量の基準電荷を加算（或いは減算）する。なお、後段のCDS回路4には、一画素に対して、この基準電荷量が加算された画素電圧出力と、基準電荷量が加算されていない画素電圧出力とが、上記出力ドライバ14から供給される。すなわち、出力ドライバ14は、一画素に対して2個の出力値を出力する。CDS回路4は、これらの2つの出力値を用いて相関二重サンプリングを行い、オフセットノイズを除去した画素データを生成する。

【0025】ここで、各フォトセンサ11から各垂直転送レジスタ12の各内部レジスタへの電荷の転送タイミングは、タイミング信号発生器10から供給される電荷読み出しパルスSGにより制御される。すなわち、この電荷読み出しパルスSGがCCDイメージセンサに供給されると、1画面内の全画素分の電荷が、垂直転送レジスタ12へ転送されることとなる。

【0026】また、垂直転送レジスタ12の垂直方向の電荷転送タイミングは、タイミング信号発生器10から供給される垂直転送パルスV1～V3により制御される。ここでは、いわゆる3相の垂直転送パルスを用いた方式で、垂直転送レジスタ12内の電荷が垂直方向に1画素分転送される。なお、垂直転送レジスタ12の終端に蓄積されている1水平ライン分の電荷は、この垂直転送パルスV1～V3のタイミングで、水平転送レジスタ13の各内部レジスタに転送される。

【0027】また、水平転送レジスタ13の水平方向の電荷転送タイミングは、タイミング信号発生器10から供給される水平転送パルスH1、H2により制御される。ここでは、いわゆる2相の水平転送パルスを用いた方式で、水平転送レジスタ13内の電荷が水平方向に1画素分転送される。

【0028】また、リセットゲート15のリセットタイミングは、タイミング信号発生器10から供給されるリセットゲートパルスRGにより制御される。

【0029】また、各フォトセンサ11内に残存している電荷は、電荷掃き捨てパルスSUBにより吐き出される。

【0030】以上のようなインタラントランスファ型のCCDイメージセンサは、上記の各タイミング信号に基づき次のような動作をする。

【0031】各フォトセンサ11内に蓄積された電荷は、電荷読み出しパルスSGのタイミングで、垂直転送レジスタ12へ転送される。この電荷読み出しパルスSGは、1フレーム（例えば、1/30秒や1/25秒）に1回発生される。すなわち、電荷読み出しパルスSGは、1垂直同期パルスVDにつき一回発生されることとなる。

【0032】続いて、垂直転送レジスタ12に転送された電荷は、垂直転送パルスV1～V3のタイミングで、垂直方向に1画素ずつ転送される。この垂直転送パルスV1～V3は、1水平同期期間に1回発生される。すなわち、垂直転送パルスV1～V3は、1水平同期パルスHDにつき一回発生されることとなる。つまり、1画面分の電荷のうちの1水平ライン分の電荷が、水平同期パルスHD毎に、水平転送レジスタ13へ転送されることとなる。

【0033】このようにして水平転送レジスタ13に転送された電荷は、水平転送パルスH1、H2のタイミングで、水平方向に1画素ずつ転送される。この水平転送パルスH1、H2は、1水平同期期間内で、1水平ライン分の電荷が全て読み出されるように発生される。なお、垂直転送レジスタ12から水平転送レジスタ13への電荷転送期間中にはこの水平転送パルスH1、H2は停止される。そのため、水平転送パルスH1、H2は、水平同期パルスHDの1発生周期内に、1水平ライン分の電荷が水平方向に全て転送され、且つ、垂直方向にも転送されるような速度に設定される必要がある。

【0034】そして、水平転送レジスタ13の最終端の内部レジスタの電荷は、出力ドライバ14から出力され、CDS回路14へ供給される。このとき、CDS回路14は、タイミング信号発生器10から供給された相関二重サンプリングパルスSHP、SHDのタイミングで、リセットゲートパルスRGによりリセットされた出力電圧と、リセットされていない出力電圧とを読み出す。つまり、CDS回路14は、1画素に対して、2回読み出しを行うこととなる。

【0035】なお、垂直同期期間及び水平同期期間は、CCDイメージセンサの画素数やフレーム速度によってそれぞれ異なる。そのため、上記の各タイミングは、CCDイメージセンサの仕様に応じて、適宜設定されることとなる。

【0036】つぎに、アナログ信号処理回路5内のクランプ回路について説明する。

【0037】クランプ回路は、フォトセンサの特性によって生じてしまうDCオフセット調整を除去して、画像信号の黒レベルを一定に調整する回路である。

【0038】一般に、CCDイメージセンサは、2次元

配列されたフォトセンサのうちの周縁部分のフォトセンサに対しては入射光が照射されないように、これらの領域のフォトセンサが遮光されている。この部分を一般にオブティカルブラック領域と呼んでいる。このオブティカルブラック領域のフォトセンサから出力される画素出力値は、入射光が照射されないで、黒レベルとなる。クランプ回路では、このオブティカルブラック領域の画素出力を検出し、その検出出力を基準値と比較して、差分を求める。そして、クランプ回路では、CCDイメージセンサから出力された画像信号に対してこの差分値を減算して出力することによって、CCDイメージセンサから出力された画像信号からDCオフセット成分を除去して、黒レベルが以後の信号処理上で必要となる基準の黒レベルに調整している。

【0039】タイミング信号発生器10では、このオブティカルブラック領域の画素位置を示すタイミングを示す信号として、クランプパルスCPOBを生成している。クランプ回路では、このクランプパルスCPOBのタイミングでオブティカルブラック領域の画素出力を検出している。

【0040】図3に、クランプ回路の具体的な回路構成例を示す。

【0041】クランプ回路は、例えば、図3に示すように、オフセット減算部21と、サンプルホールド(S/H)部22と、差分検出部23とを備えて構成される。

【0042】オフセット減算部21には、CCDイメージセンサからの画像信号と、後段の差分検出部23からのオフセット電圧 V_{offset} が入力される。オフセット減算部21は、CCDイメージセンサから供給された画像信号から、オフセット電圧 V_{offset} を減算して出力する。

【0043】サンプルホールド部22は、オフセット減算部21からの出力電圧値を、クランプパルスCPOBで示されたタイミングでサンプルし、その出力電圧値を例えばコンデンサで保持する。従って、このサンプルホールド部22からは、CCDイメージセンサにより検出された実際の黒レベルの電圧値 V_{black} が出力される。

【0044】差分検出部23は、黒レベル電圧値 V_{black} と、後段の信号処理で必要となる基準の黒レベル値を示す基準値 V_{ref} とが入力される。差分検出部23は、黒レベル電圧値 V_{black} から基準値 V_{ref} を

* V_{ref} を減算して、CCDイメージセンサから出力された画像信号のDCオフセット量を示すオフセット電圧 V_{offset} を算出する。

【0045】以上のような構成によりクランプ回路は、黒レベルを一定に調整された画像信号を出力することができる。

【0046】つぎに、本発明の実施の形態のタイミング信号発生器10について説明をする。

【0047】図4に、タイミング信号発生器10のブロック構成図を示す。

【0048】タイミング信号発生器10は、基準クロック生成部31と、水平転送パルス生成部32と、パルス生成用カウンタ33と、HD/VDパルスデコーダ34と、SYNCパルスデコーダ35と、SGパルスデコーダ36と、SUBパルスデコーダ37と、CPOBパルスデコーダ38と、垂直転送パルスデコーダ39と、H転送停止パルスデコーダ40と、CCD画素別参照テーブル41と、CCD設定部42と、ドライバ部43とを備えて構成される。

【0049】このタイミング信号発生器10には、外部からマスタクロックMCKが入力される。このマスタクロックMCKは、CCDイメージセンサの画素サイズやフレーム速度等に応じて設定され、使用されるCCDイメージセンサの仕様によってその周波数が異なる。本実施の形態では、マスタクロックMCKは、水平駆動周波数(水平転送パルスH1、H2の周波数)の2倍に設定される。

【0050】ここで、このタイミング信号発生器10に適用可能なVGA、SVGA、XGA、SXGAに対応したCCDイメージセンサの仕様の一例を以下に示す。

【0051】なお、以下に示しているオブティカルブラックの“前x画素”“後y画素”とは、2次元配列した際における読み出し順序で、先に読み出されるフォトセンサの端部位置を“前”画素とし、読み出し順序で後に読み出されるフォトセンサの端部位置を“後”としている。また、有効画素数とオブティカルブラックとを加算したものが総画素数である。また、図5にVGAのオブティカルブラックの領域、図6にSVGAのオブティカルブラックの領域、図7にXGAのオブティカルブラックの領域、図8にSXGAのオブティカルブラックの領域を、それぞれ示す。

【0052】

---VGA

有効画素数 : 659 (H) × 494 (V)

総画素数 : 692 (H) × 504 (V)

オブティカルブラック : 水平方向 前2画素 後31画素

: 垂直方向 前8画素 後2画素

水平駆動周波数 : 12.27MHz

---SVGA

有効画素数 : 782 (H) × 582 (V)

11

12

総画素数 : 823 (H) × 592 (V)
 オプティカルブラック : 水平方向 前3画素 後38画素
 : 垂直方向 前8画素 後 2画素
 水平駆動周波数 : 14.75MHz
 —XGA
 有効画素数 : 1034 (H) × 779 (V)
 総画素数 : 1077 (H) × 788 (V)
 オプティカルブラック : 水平方向 前3画素 後40画素
 : 垂直方向 前7画素 後 2画素
 水平駆動周波数 : 15MHz
 —SXGA
 有効画素数 : 1392 (H) × 1040 (V)
 総画素数 : 1434 (H) × 1050 (V)
 オプティカルブラック : 水平方向 前2画素 後40画素
 : 垂直方向 前8画素 後 2画素
 水平駆動周波数 : 14.318MHz.

【0053】基準クロック生成部31には、マスタークロックMCKが入力される。基準クロック生成部31は、マスタクロックMCKに基づき、図9に示すような、基本クロックCL、リセットゲートパルスRG、相関二重サンプリングパルスSHP、SHDを生成する。基本クロックCLは、マスタクロックMCKを2倍に分周したパルス信号である。この基本クロックCLの周波数は、水平駆動周波数となる。リセットゲートパルスRGは、パルス幅がマスタクロックMCKの半周期分で、その発生周期が基本クロックと同一の信号である。相関二重サンプリングパルスSHP、SHDも、パルス幅がマスタクロックMCKの半周期分で、その発生周期が基本クロックと同一の信号である。なお、SHPとSHDとは、その発生タイミングが半周期分位相がずれており、また、リセットゲートパルスRGに対してもそれぞれ1/4周期分位相がずれている。

【0054】リセットゲートパルスRGは、ドライバ部43を介して、CCDイメージセンサ3のリセットゲート15に供給される。また、相関二重サンプリングパルスSHP、SHDは、ドライバ部43を介して、CDS回路4に供給される。

【0055】このように、タイミング信号発生器10は、基本クロックCLに対して、リセットゲートパルスRG、相関二重サンプリングパルスSHP、SHDを発生することによって、1画素分の画素データの転送出力に対して、位相が異なる2回のサンプリングを行い、相関二重サンプリングを行うことができる。

【0056】なお、これらのリセットゲートパルスRG、基本クロックCL、相関二重サンプリングパルスSHP、SHDは、マスタクロックMCKの位相に対して一義的に設定されるものである。CCDイメージセンサの種類に応じて発生タイミングを変更する必要はない。

【0057】水平転送パルス生成部32は、基本クロッ

クCLに基づき、位相が半周期ずれた2つの水平転送パルスH1、H2を生成する。水平転送パルスH1、H2は、基本クロックCLと同一の周期の信号である。すなわち、水平転送パルスH1、H2は、一方のパルスが基本クロックCLと同一の信号で、他方のパルスが基本クロックCLと反転した信号となる。なお、この水平転送パルスは、後述するH転送停止パルスデコーダ40によって、外部への出力及び停止が制御される。

【0058】パルス生成用カウンタ33は、水平転送パルス生成部32から出力された基本クロックCLをカウントする。基本クロックCLのカウント値は、HD/VDPパルスデコーダ34から出力される水平同期パルスHDの開始エッジでリセットされる。また、HD/VDPパルスデコーダ34から出力される水平同期パルスHDもカウントする。この水平同期パルスHDのカウント値は、HD/VDPパルスデコーダ34から出力される垂直同期パルスVDの開始エッジでリセットされる。パルス生成用カウンタ33は、基本クロックCLのカウント値及び水平同期パルスHDのカウント値の両者を、カウント値CNTとして出力する。

【0059】HD/VDPパルスデコーダ34は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、垂直同期パルスVD及び水平同期パルスHDを生成する。HD/VDPパルスデコーダ34は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、各パルスの立ち上がり及び立ち下がりエッジを制御する。HD/VDPパルスデコーダ34から出力される垂直同期パルスVD及び水平同期パルスHDは、ドライバ部43を介してアナログ信号処理回路5やデジタル信号処理回路7等に供給される。

【0060】SYNCパルスデコーダ35は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、同期信号SYNCを生成する。SYNCパルスデ

コード35は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、同期信号SYNCの立ち上がり及び立ち下がりエッジを制御する。SYNCパルスデコーダ35から出力される同期信号SYNCは、ドライバ部43を介してアナログ信号処理回路5やデジタル信号処理回路等へ供給される。

【0061】SGパルスデコーダ36は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、電荷読み出しパルスSGを生成する。SGパルスデコーダ36は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、電荷読み出しパルスSGの立ち上がり及び立ち下がりエッジを制御する。SGパルスデコーダ36から出力される電荷読み出しパルスSGは、ドライバ部43を介してCCDイメージセンサ3に供給される。

【0062】SUBパルスデコーダ37は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、電荷掃き捨てパルスSUBを生成する。SYNCパルスデコーダ35は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、電荷読み出しパルスSGの立ち上がり及び立ち下がりエッジを制御する。SUBパルスデコーダ37から出力される電荷掃き捨てパルスSUBは、ドライバ部43を介してCCDイメージセンサ3に供給される。

【0063】CPOBパルスデコーダ38は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、クランプパルスCPOBを生成する。CPOBパルスデコーダ38は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、クランプパルスCPOBの立ち上がり及び立ち下がりエッジを制御する。CPOBパルスデコーダ38から出力されるクランプパルスCPOBは、ドライバ部43を介してアナログ処理回路5内のクランプ回路に供給される。

【0064】垂直転送パルスデコーダ39は、パルス生成用カウンタ33から出力されたカウント値CNTに基づき、垂直転送パルスV1～V3を生成する。SGパルスデコーダ36は、CCD設定部42に格納されているパルスの立ち上がりエッジ及び立ち下がりエッジの設定値を参照し、この設定値とカウント値CNTとが一致したときに、各垂直転送パルスV1～V3の立ち上がり及び立ち下がりエッジを制御する。垂直転送パルスデコーダ39から出力される垂直転送パルスV1～V3は、ドライバ部43を介してCCDイメージセンサ3に供給される。

【0065】H転送停止パルスデコーダ40は、パルス

生成用カウンタ33から出力されたカウント値CNTに基づき、水平転送パルス生成部32から出力される水平転送パルスH1、H2の出力タイミング及び停止タイミングを制御する。H転送停止パルスデコーダ40は、CCD設定部42に格納されている出力開始タイミング及び出力停止タイミングの設定値を参照し、この設定値とカウント値CNTとが一致したときに、水平転送パルス生成部32からCCDイメージセンサ3への水平転送パルスH1、H2の出力タイミングを制御する。

【0066】CCD画素別参照テーブル41には、本タイミング信号発生器10が適用可能なCCDイメージセンサの種類毎に、上記の各デコーダが参照するためのそれぞれ異なる値の設定値が格納されている。ここでは、VGA、SVGA、XGA、SXGAの各画素サイズに対応した設定値が、それぞれ格納されている。いずれの種類の設定値を各デコーダに供給するかは、ユーザによりCCD設定部42を介して切り換え設定がされる。すなわち、本タイミング信号発生器10をデジタルカメラ装置に組み込む際に、ユーザにより画素サイズの種類が設定される。

【0067】ここで、CCD画素別参照テーブル41には、電荷読み出しパルスSGの開始エッジ、並びに、クランプパルスCPOBの開始エッジ及び終了エッジが、VGA、SVGA、XGA、SXGAの種類の画素サイズに関わらず、共通のタイミングとなるように設定がされている。

【0068】まず、電荷読み出しパルスSGは、フォトセンサ11から垂直転送レジスタ12へ電荷を転送するタイミングであるので、1フレームに一回発生されることとなる。すなわち、垂直同期パルスVDに対して一定期間後に一回発生されればよい。従って、本タイミング信号発生器10では、図10に示すように、全ての種類のCCDイメージセンサに対して、垂直同期パルスVDの立ち下がりエッジ（開始エッジ）から4水平ライン目、つまり、水平同期パルスHDが4カウントとなったときに、電荷読み出しパルスSGが発生するように、CCD画素別参照テーブル41に格納する設定値を共通化している。なお、図10中、信号を示すアルファベットの先頭に“X”を示している場合には、ローで動作を示すことを示す反転パルスを意味している。以下の図12以降も同様である。また、水平同期パルスHD及び垂直同期パルスVDも、立ち下がりエッジでその開始位置を示している。

【0069】また、電荷読み出しパルスSGが発生される水平ライン内においても、電荷読み出しパルスSGの開始エッジ（立ち下がりエッジ）のタイミングを示す設定値が共通化されている。本タイミング信号発生器10では、全ての種類のCCDイメージセンサに対して、水平同期パルスHDの立ち下がりエッジ（開始エッジ）から、基本クロックCLのカウント数が187カウント目に、電荷読み出しパルスSGの開始エッジが発生するよ

うに、設定値が共通化されている。

【0070】なお、この電荷読み出しパルスSGの発生タイミングは、垂直転送パルスV1～V3との発生位相と関連するため、各CCDイメージセンサの種類毎にこれらの垂直転送パルスV1～V3の設定も調整されている。

【0071】例えば、VGAの場合には、図11に示すように、電荷読み出しパルスSGが発生している間（立ち下がりエッジから立ち上がりエッジの間）、パルスV3がLowとなるように設定される。また、SVGAの場合にもVGAと同様に、図12に示すように、電荷読み出しパルスSGが発生している間（立ち下がりエッジから立ち上がりエッジの間）、パルスV3がLowとなるように設定される。また、XGAの場合には、図13に示すように、電荷読み出しパルスSGが発生している間（立ち下がりエッジから立ち上がりエッジの間）に、パルスV1がLowからHighに変換するように設定される。また、SXGAの場合にもXGAと同様に、図14に示すように、電荷読み出しパルスSGが発生している間（立ち下がりエッジから立ち上がりエッジの間）に、パルスV1がLowからHighに変換するように設定される。なお、図11～図14に示す各信号の各時間に付けられている数字は、水平同期パルスHDの立ち下がりエッジからの基本クロックCLのカウント値を示している。すなわち、この数字に示す値が具体的な設定値としてCCD画素別参照テーブル41に設定されることとなる。

【0072】また、タイミング信号発生器10では、各水平ラインの端部のオブティカルブラック領域を、クランプパルスCPOBのタイミングとして出力している。特に、タイミング信号発生器10では、水平ラインの読み出し方向の最後の部分に位置するオブティカルブラック領域を出力している。この領域は、図11～図14に示すように、水平同期パルスHDの開始エッジから、次の垂直転送パルスV1～V3の発生開始前までに、出力ドライバ14から出力されることとなる。

【0073】具体的に、VGA、SVGA、XGA、SXGAの各画素サイズのCCDのオブティカルブラックは、図15に示すようなタイミングで出力されることとなる。

【0074】すなわち、VGAでは、オブティカルブラック領域が、水平同期パルスHDの立ち下がりエッジ後の4ビット目から開始し、35ビット目で終了する。SVGAでは、オブティカルブラック領域が、水平同期パルスHDの立ち下がりエッジ後の6ビット目で開始し、44ビット目で終了する。XGAでは、オブティカルブラック領域が、水平同期パルスHDの立ち下がりエッジ後の6ビット目で開始し、46ビット目で終了する。SXGAでは、オブティカルブラック領域が、水平同期パルスHDの立ち下がりエッジ後の16ビット目で開始

し、56ビット目で終了する。

【0075】このような各画素サイズのCCDイメージセンサに対して、CCD画素別参照テーブル41には、クランプパルスCPOBの開始エッジから終了エッジまでの期間が、すべての画素サイズのCCDイメージセンサがオブティカルブラック領域となるタイミングに、設定されている。

【0076】すなわち、クランプパルスCPOBは、オブティカルブラック領域が開始される位置が最も遅いSXGAのタイミングに開始エッジが設定され、オブティカルブラック領域が終了される位置が最も早いVGAのタイミングに終了エッジが設定されている。具体的には、クランプパルスCPOBの開始エッジは水平同期パルスHDの立ち下がりエッジから16ビット目に設定され、終了エッジは水平同期パルスHDの立ち下がりエッジから35ビット目に設定されている。

【0077】このようにクランプパルスCPOBを設定することによって、各画素サイズのCCDイメージセンサ毎に異なる値を設定せずに、共通の設定値を用いることが可能となる。

【0078】以上のように本発明の実施の形態のタイミング信号発生器10では、CCD画素別参照テーブル41に予め設定された設定値と基本クロックCLのカウント値とに基づき、発生する各種のタイミング信号を制御している。さらに、タイミング信号発生器10では、CCDイメージセンサの種類毎に設定値をそれぞれ格納しておき、制御対象となるCCDイメージセンサの種類に応じて応じてその設定値を切り換えている。

【0079】このため、タイミング信号発生器10では、画素数の異なる複数種類のCCDイメージセンサに対して各種タイミング信号を供給することができ、また、各種類のCCDイメージセンサへの対応を容易に行うことができる。

【0080】また、タイミング信号発生器10では、クランプパルスCPOBの開始エッジ及び終了位エッジのタイミングを示す設定値、並びに、電荷読み出しパルスSGの開始エッジのタイミングを示す設定値を、CCDイメージセンサの種類に関わらず、同一の値で設定している。

【0081】そのため、タイミング信号発生器10では、回路規模を削減することができ、低消費電力化を図ることができる。

【0082】

【発明の効果】本発明にかかるタイミング信号発生装置では、予め設定された設定値と基本クロックのカウント値とに基づき各種タイミング信号が制御され、さらに、このカウント値が制御対象となる固体撮像装置の種類に応じて応じて切り換え設定される。

【0083】そのため、本発明にかかるタイミング信号発生装置では、画素数の異なる複数種類の固体撮像素子

に対して各種タイミング信号を供給することができ、また、各種類の固体撮像素子への対応を容易に行うことができる。

【0084】また、本発明にかかるタイミング信号発生装置では、クランプパルスの開始エッジ及び終了位エッジのタイミングを示すカウント値、並びに、電荷読み出しパルスの開始エッジのタイミングを示すカウント値が、固体撮像素子の種類に関わらず、同一の値で設定されている。

【0085】そのため、本発明にかかるタイミング信号発生装置では、回路規模を削減することができ、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態のタイミング信号発生器が適用されるデジタルカメラ装置のブロック構成図である。

【図2】CCDイメージセンサの構成を説明するための図である。

【図3】クランプ回路の回路構成例を説明するための図である。

【図4】本発明の実施の形態のタイミング信号発生器のブロック構成図である。

【図5】VGAに対応したCCDイメージセンサのオプティカルブラック領域を説明するための図である。

【図6】SVGAに対応したCCDイメージセンサのオプティカルブラック領域を説明するための図である。

【図7】XGAに対応したCCDイメージセンサのオプ*

*ティカルブラック領域を説明するための図である。

【図8】SXGAに対応したCCDイメージセンサのオプティカルブラック領域を説明するための図である。

【図9】マスタクロック、基本クロック、リセットゲートパルス、相関二重サンプリングパルスの発生タイミングを示すタイミングチャートである。

【図10】電荷読み出しパルスの垂直方向の発生タイミングを示すタイミングチャートである。

【図11】VGAに対応したCCDイメージセンサに対する電荷読み出しパルスの水平方向の発生タイミングを示すタイミングチャートである。

【図12】SVGAに対応したCCDイメージセンサに対する電荷読み出しパルスの水平方向の発生タイミングを示すタイミングチャートである。

【図13】XGAに対応したCCDイメージセンサに対する電荷読み出しパルスの水平方向の発生タイミングを示すタイミングチャートである。

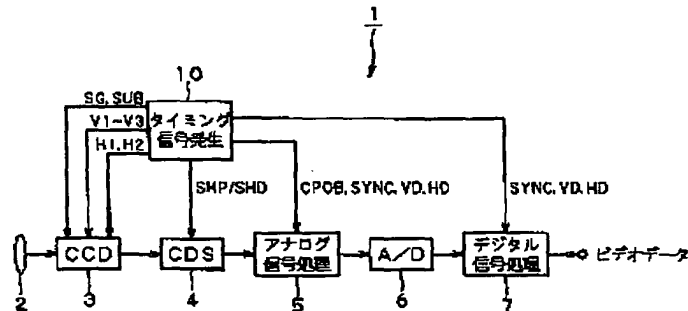
【図14】SXGAに対応したCCDイメージセンサに対する電荷読み出しパルスの水平方向の発生タイミングを示すタイミングチャートである。

【図15】クランプパルスの発生タイミングを示すタイミングチャートである。

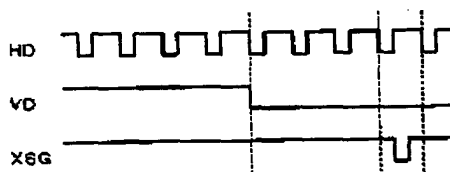
【符号の説明】

3 CCDイメージセンサ、4 CDS回路、5 アナログ信号処理回路、6 アナログ/デジタル変換回路、7 デジタル信号処理回路、10 タイミング信号発生器

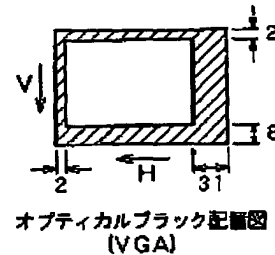
【図1】



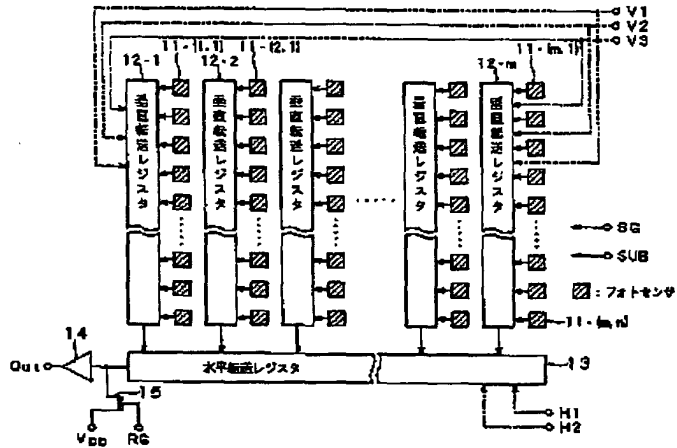
【図10】



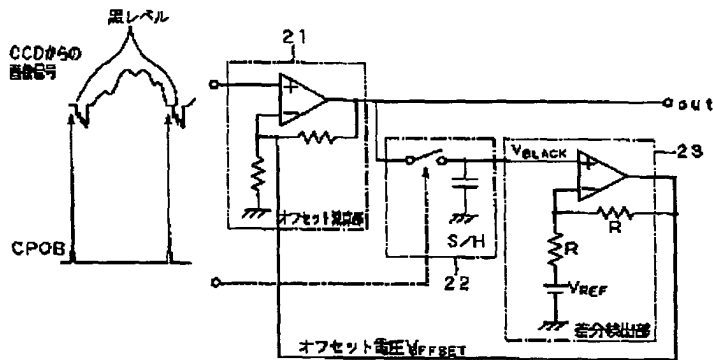
【図5】



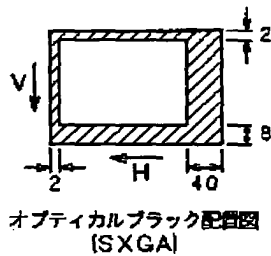
【図2】



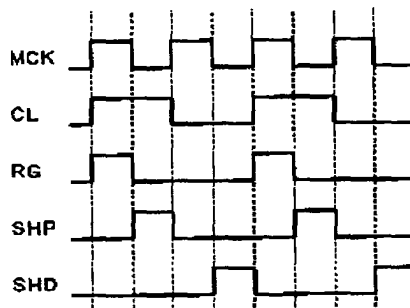
【図3】



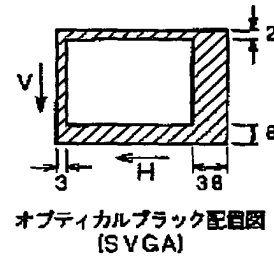
【図8】



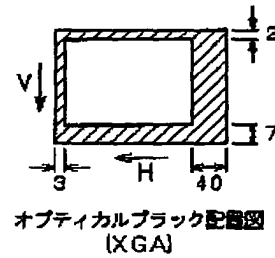
【図9】



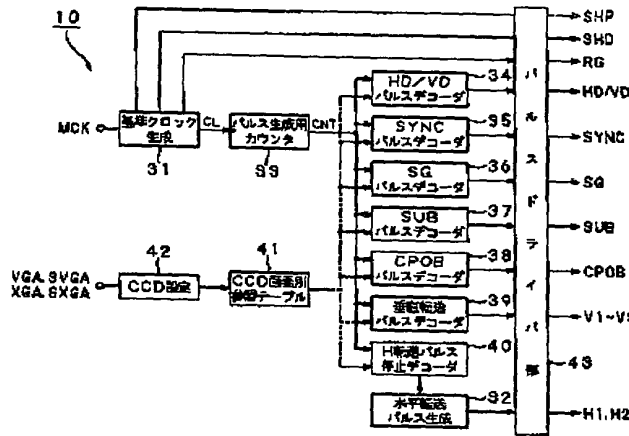
【図6】



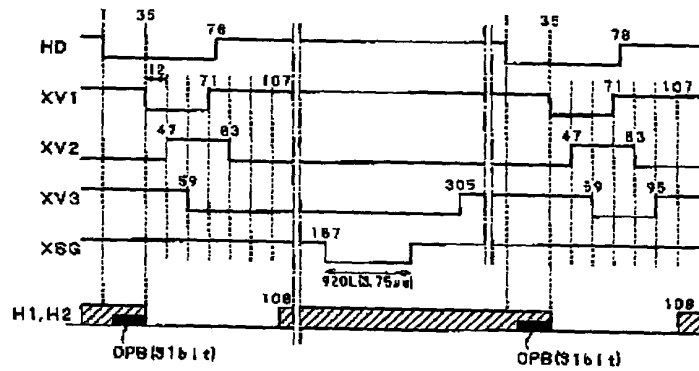
【図7】



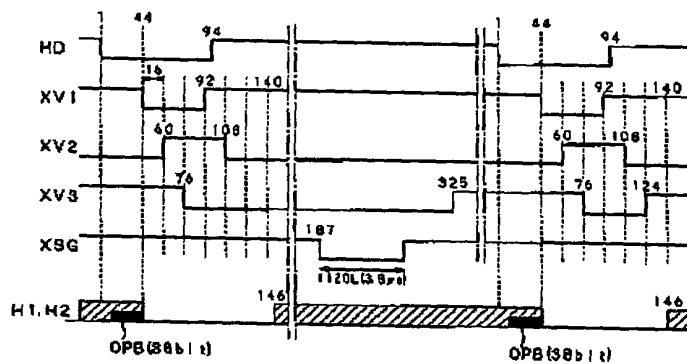
【図4】



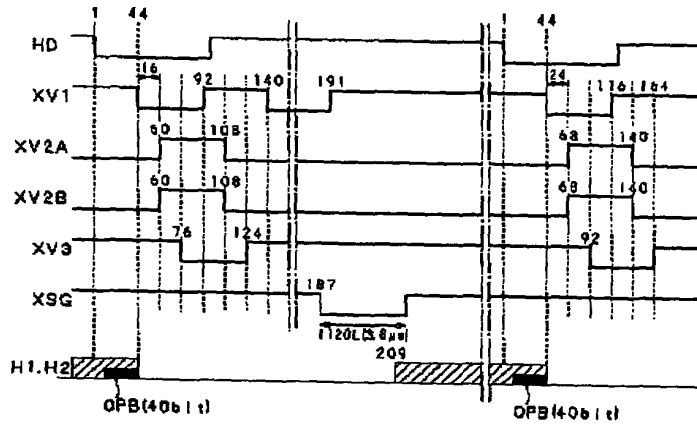
【図11】



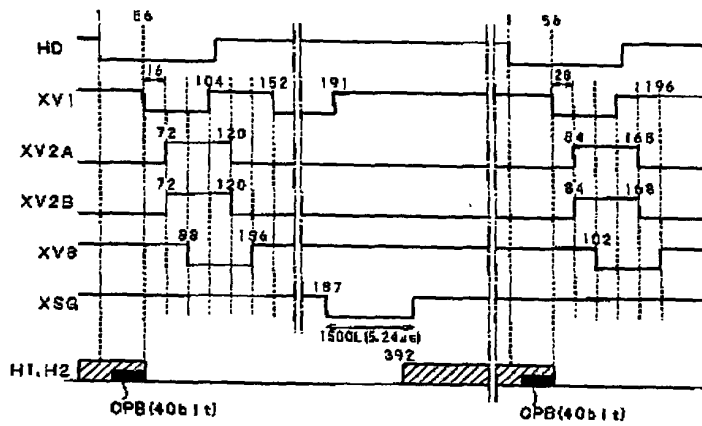
【図12】



【図13】



【図14】



【図15】

